

基于 FPGA 的多媒体传感器网络网关的设计与实现

孙 岩,唐绍炬,罗 红

(北京邮电大学计算机学院智能通信软件与多媒体北京重点实验室,北京 100876)

摘 要: 本文针对多媒体传感器网络的典型应用智能家居系统,抽象出系统模型.为使网内多媒体数据方便快捷地提供给用户,设计了支持连接外部多种异构网络的网关.网关在接入 PSTN 网络的设计中,我们采用 HDLC(高级数据链路控制)协议以确保数据信息的可靠互通,并基于 FPGA 技术设计和实现了 HDLC 控制协议.进而,为了提高 HDLC 芯片的处理效率,接收缓存设计为一个多 Block FIFO 模式,支持多个 Block 的并行读写.本文设计的多 Block 接收缓存,包括独立 BRAM 和共享 BRAM 两种方式,旨在适应多种需求,并有效减少对 CPU 的中断.最后,我们通过 Modelsim 对基于 FPGA 的 HDLC 芯片进行仿真,验证读写控制、收发、时隙、中断等功能,并且在实际测试板上运行测试通过.

关键词: 多媒体传感器网络;智能家居;网关;HDLC;FPGA

中图分类号: TP393.02 **文献标识码:** A **文章编号:** 0372-2112(2012)04-0625-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2012.04.001

The QoS Guarantee Problem for Multimedia Sensor Networks

SUN Yan, TANG Shao-ju, LUO Hong

(Beijing Key Laboratory of Intelligent Telecommunications Software and Multimedia, Department of Computer, Beijing University of Posts and Telecommunications, Beijing 100876, China)

Abstract: In this paper, based on the smart home system as one of the most typical applications of wireless multimedia sensor networks, we abstract the system model. In order to provide multimedia data in the network to the user quickly and easily, we design a gateway in smart home system to support the interconnection with heterogeneous networks. We use HDLC (High Data Link Control) protocol to guarantee reliable data transmission in the design of the gateway access to the PSTN, and implement the HDLC protocol based on FPGA. In order to improve the processing efficiency of HDLC chip, receiving buffer is designed as a multi-Block FIFO and supports to read and write multiple Blocks concurrently. The multi-Block receiving buffer includes the independent BRAM mode and shared BRAM mode to adapt to a variety of requirements and reduce the CPU interrupt effectively. Modelsim is utilized to simulate the function of FPGA-based HDLC chip to verify reading and writing, transmitting and receiving, time slot, interrupts and other functions. Finally, verilog code runs in the actual test board and the FPGA-based HDLC chip is verified on the test board.

Key words: multimedia sensor networks; smart home; gateway; high data link control (HDLC); field programmable gate array (FPGA)

1 引言

随着监测环境的日趋复杂多变,多媒体传感器网络技术^[1,2]的研究已成为热点.在某些无线多媒体传感器网络的应用场合,如智能家居,对网络进行延伸进行远程监测和控制是一种必须的需求.因此多媒体传感器网络要真正投入使用,则不能孤立存在,需要通过异构网关设备接入外部网络,如 Internet、PSTN 或广电网等,提

供用户对无线多媒体传感器网络的远程访问和监测.为了使网内多媒体数据方便快捷地远程提供给用户,多媒体传感器网络的异构网关技术成为关键.

基于无线多媒体传感器网络,我们设计了支持异构多接入方式的智能家居系统,如图 1 所示.系统主要由嵌入式网关(Sink 节点)、路由节点、多媒体传感器节点、控制节点以及信息推送节点组成.多媒体传感器节点感知各类环境信息,包括温度、湿度、光强、声音以及图像

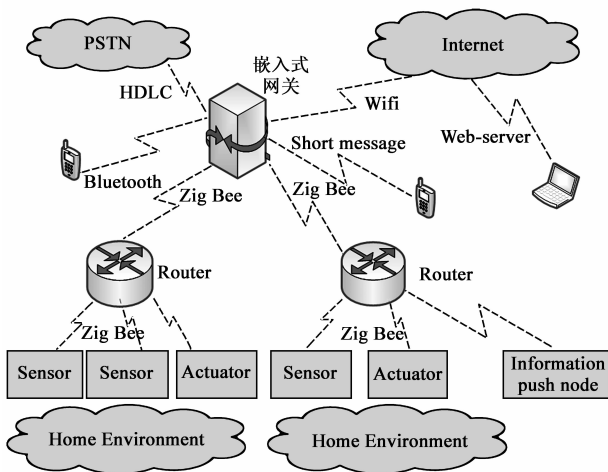


图1 智能家居系统模型

等信息,通过路由节点多跳传输至网关.网关接收到传感器节点上报的数据后,进行处理、分析并做出决策,下发控制命令给相应的控制节点.为了支持多类异构网络的接入,网关集成了 ZigBee 模块、蓝牙模块、HDLC 模块、WiFi 模块以及 GSM 和 CDMA 模块.信息推送节点用来展示网关发布的重要信息,包括环境信息以及住宅周围的商用信息等.在智能家居系统中,由于网关是异构网络互连的枢纽,必须提高其处理和传输能力.因此,网关在接入 PSTN 网络的设计中,我们采用 HDLC (高级数据链路控制)协议以确保数据信息的可靠互通,并基于 FPGA 设计 HDLC 控制协议,从而有效提高处理速度.FPGA 在 SoC 芯片开发过程中主要起着原型验证的作用,是目前系统芯片设计和验证中不可或缺的手段.

目前市场上有很多专用的 HDLC 芯片,例如 Zarlink 公司的 MT8952、ST 公司的 MK5025、Pericom 公司的 PI7A6525 等.这些芯片大多因追求功能的完备,使芯片的控制比较复杂.而且程序运行占用处理器资源多,执行速度慢,对信号的时延和同步性不易预测.FPGA (Field Programmable Gate Array)采用硬件技术处理信号,又可以反复编程使用.因此基于 FPGA 设计 HDLC 控制协议,能够兼顾速度和灵活性,并且实时性能够预测和仿真^[6].FPGA 芯片虽成本略微高于 ASIC 芯片,但具有可多次编程使用的优点,可以通过动态部分重构的技术设计 HDLC 协议控制器,以支持不同类型的应用.

在网关与 PSTN 互联的设计中,采用 Xilinx 公司的 Spartan-3E XC3S250E 5TQ144 来实现 HDLC 协议控制器.采用 FPGA 器件可以按照不同的 HDLC 协议版本进行编程选择,应用非常灵活.该芯片侧重于低成本应用,数据存储容量也可进行选择,有效地解决了数据缓存容量的问题,程序运行时占用资源少,执行速度快,有利于我们进行信号的同步.本文建立了基于 FPGA 的

HDLC 协议功能描述模型,针对设计芯片的硬件特性,合理规划各模块功能,对逻辑级的 SoC 结构进行精确量化,得到电路的理想分割结果.然后对逻辑级模型进行分析,制定各模块之间的接口协议与标准,设计出一系列通用的 IP 核,从而降低能耗,缩小体积,提高协议的运算速度.本文描述了基于 FPGA 的 HDLC 芯片结构设计,包括各个逻辑功能模块,详细介绍了接收缓存和时隙分配模块的设计方法.为了提高 HDLC 芯片的处理效率,接收缓存设计为一个多 Block FIFO,支持多个 Block 的读写,每个 Block 是一个独立的 FIFO.该设计方法可根据实际 CPU 及交换速率需要,调整 Block 个数及每个 Block 的字节数,适应多种需求,并有效减少对 CPU 的中断.

2 相关工作

2.1 无线传感器网络网关

近年来,无线多媒体传感器网络在工业自动化控制、环境监测、医疗监护和智能家居^[3,4]等方面得到了广泛应用.网关是无线多媒体传感器网络应用的核心模块,是数据处理和应用请求的处理设备,一方面接收无线多媒体传感器网络的数据,并进行相应的存储和处理,另一方面向用户提供数据服务^[5].文献[6]设计了基于 web 访问方式的网关设备,用户可以通过 web 方式访问和控制传感器网络,文献注重于通过 Internet 进行远程访问和控制,未能提供其它的数据获取接口.文献[7]介绍了基于 GPRS 访问方式的网关设备,用户可以通过 PDA、手机等设备方便的访问和控制传感器节点.文献[8]描述了基于 USB、蓝牙、串口等方式访问数据的网关设备.这些网关设备^[9]虽然能够为用户提供多种数据访问方式,但是在智能家居应用中,面对电路域的广大用户,通过 PSTN 的接入方式却鲜有讨论.

为了支持多种异构网络互联互通,我们在网关设备中引入 PSTN 的接入方式,支持多媒体传感器网络与 PSTN 进行数据交互,并基于 FPGA 设计 HDLC 协议以确保数据信息可靠互通.

2.2 HDLC 协议的 FPGA 实现

随着微电子技术的发展,FPGA 技术得到了飞速发展,由于该器件具有工作速度快,集成度高和现场可编程等特点,因此在数字信号处理中得到了广泛应用^[10].HDLC 协议控制广泛应用于数据通信领域,是一个面向比特(bit)的协议控制器,支持半双工和全双工通信,是其它数据链路控制协议的基础,具有很高的差错校验、高效和同步传输的特点^[11].目前,解析和设计 HDLC 协议的方法有很多,文献[12]提出以一种软件方法,对位控制器或信号处理编程来实现,由于微控制器和信号处理器是基于字(8,16 位等)的处理,而 HDLC 协议帧的

解析式面向比特的处理,因而这种方法会大大增加微处理器的负荷,处理的通道数非常有限,使系统的性能低下.文献[13]在分析 HDLC 协议的实现方法的基础上,采用 FPGA 技术设计 HDLC 协议过程,主要描述了帧校验和循环冗余校验的实现.文献[14]基于 FPGA 技术设计了多通道的高速 HDLC 协议控制器.以上文献采用了专用的 HDLC 协议处理芯片,提高了运行速度和并发能力,但是上述 HDLC 控制器都包含了较多的接口控制寄存器,结构复杂,增加了成本.

为了提高 HDLC 协议处理芯片的处理效率并简化其结构,我们采用 XC3S250E 设计 HDLC 协议芯片,可以对任意数据宽度的信号进行处理,内部功能模块可灵活重构,有效地均衡整个网关设备的负荷,提高了网关设备的数据处理能力,保证了数据通信的可靠性.

3 基于 FPGA 的 HDLC 协议处理芯片结构设计

HDLC 协议处理芯片结构根据所选 FPGA 的特性分为单核和多核设计,单核指的是单通道的 HDLC 芯片,多核指的是多通道的 HDLC 芯片.HDLC 协议处理单核芯片设计框架如图 2 所示,包括片外接口和片内模块设计.片外接口包括 HDLC 与 CPU 之间的接口,芯片时钟以及 HDLC 收发接口.其中,CPU 与 HDLC 芯片之间通过一个 SLB(Simple Local Bus)接口进行连接.CPU 通过该接口对 HDLC 的寄存器进行操作,从而进行配置及数据收发.HDLC 芯片内部功能模块包括控制器模块(Controller),发送模块(Tx Module),接收模块(Rx Module),时钟控制模块(Clock Controller)和时隙分配模块(Time-slot).

A. 控制器模块

芯片控制模块,包括控制读写和 IRQ 模块.控制器读写模块负责接收 CPU 对芯片的寄存器读写信号,操

作相关寄存器.IRQ 模块则根据不同的控制信号,产生中断,对中断寄存器进行置位和清零.CPU 与 HDLC 芯片之间通过 SLB 总线进行连接,通过 SLB 总线,CPU 通过片选、地址线、数据线及读写信号(WE/OE)对 HDLC 芯片的寄存器进行操作.

B. 发送模块,包括发送缓存(Tx FIFO),HDLC 发送器(HDLC Transmitter)和发送状态机(Transmit FSM)三个子模块.

(1)发送缓存:CPU 通过 SLB 写时钟进行 FIFO 写入.发送状态机所产生的读时钟将 FIFO 数据读出到 HDLC 发送器并进行发送.发送缓存对读写数据进行先入先出的控制;

(2)HDLC 发送器:主要接收发送数据和控制信号,通过一系列处理(包括发送帧头和零插入)之后,根据发送时钟输出数据;

(3)发送状态机:是整个发送模块的控制中心.根据发送缓存的写入状态、控制模块寄存器的配置状态进行状态跳转,并在不同状态下发出不同的控制指令及数据.

C. 接收模块,包括接收缓存(Rx FIFO),HDLC 接收器(HDLC Receiver)和接收状态机(Receive FSM)三个子模块.

(1)接收缓存:为了有效减少接收对 CPU 的中断,接收缓存设计不同于目前已有的 ASIC 芯片,可以灵活调整每个 Block 的大小以及总的 Block 个数;

(2)HDLC 接收器:对数据线上过来的数据,进行锁存和零删除,以 8bits 为单位向接收状态机进行通知.接收状态机接收到数据后进行相关判断和状态跳转,做出相应的控制;

(3)接收状态机:是整个接收模块的控制中心.根据 HDLC 接收器从数据线接收的字节,以及控制器模块相关寄存器的配置进行接收状态跳转,并在不同状态下发出不同的控制指令及数据.

D. 时钟控制模块

时钟控制模块对 HDLC 协议控制芯片的时钟模式进行控制,可以使用外部晶振作为收发时钟源,也能够选择从 RxClk 信号管脚输入的时钟作为收发时钟源,能够收发同源时钟也能够选择收发独立时钟.

E. 时隙分配模块

时隙分配模块是时分复用模式(TDM)下对收发进行时序控制的模块.所谓 TDM 模式是指将一定周期的时间分为不同的时隙,不同的 HDLC 芯片占有该周期中的一个时隙,并在该时隙到来时进行接收或发送,从而满足多 HDLC 芯片进行分组交换的通信需求.

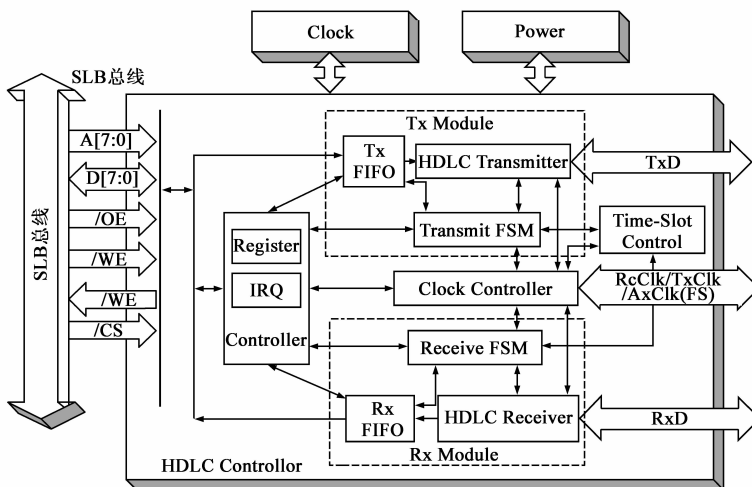


图2 单核芯片结构图

4 HDLC 片内关键模块详细设计与实现

4.1 接收缓存

为了提高 HDLC 芯片的处理效率,接收缓存设计为一个多 Block FIFO,支持多个 Block 进行读写,每个 Block 是一个独立的 FIFO.接收模块将接收到的数据按序放入接收 FIFO 的 Block 中,每个 Block 有相应的状态寄存器,用于记录该 Block 的状态,如 Block 编号、Block 存取的数据内容、Block 是否包含一帧等状态.接收 FIFO 的设计可以采用两种方式,独立 BRAM 和共享 BRAM 方式.多 Block FIFO 的 FPGA 设计方法可以根据 CPU 能力及交换速率需要,基于部分动态可重构的思想,动态调整 Block 个数及每个 Block 的字节数,适应多种速率的需求,可以灵活的接收短帧或者长帧,从而减少对 CPU 的中断,提高协议控制器的处理效率.

A. 独立 BRAM 方式

接收 FIFO 中,每一个 Block 由一个 BRAM 组成,如图 3 所示,每个 BRAM 可以自主管理读写指针. Block 指针管理模块(Pointer Manager)管理 Block 的指针,该模块接收 CPU 的 RMC(Read Message Complete)信号,Block 的读指针(RPointer)则增 1;接收到来自接收模块的 WMC (Write Message Complete) 信号后,Block 的写指针(WPointer)增 1.写指针输入 BRAM 群中作为写入片选信号,接收模块的写使能/写时钟(WE/WClk)信号及输入数据(INPUT DATA)连接所有的 BRAM,作为写入信号及数据. Block 的读指针作为数据输出选择信号,由交换输出的组合逻辑决定输出哪一个 FIFO 的数据. CPU 的读使能/读时钟(RE/RClk)和输入数据(INPUT DATA)连接到所有的 BRAM 中,作为读出控制信号和读出数据

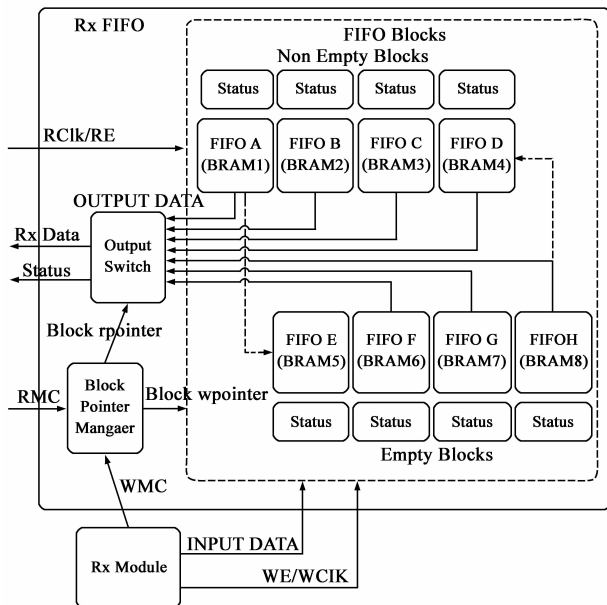


图3 基于独立BRAM接收FIFO结构

线.

B. 共享 BRAM 方式

如图 4 所示,接收 FIFO 的存储单元分布在一个 BRAM 中,根据不同的地址将一个 BRAM 分成多个 Block,用 BRAM 的地址线高位作为 Block 的编号来标示 Block. Block 的写指针 (WPointer) 和 Block 的读指针 (RPointer) 分别指示 BRAM 的读 Block 和写 Block. 这两个指针作为写和读地址线的高位(标示 Block),与地址线的低位(FIFO 的写指针和读指针)组合成为 BRAM 的读写地址来表示 BRAM 最终的读写地址. Block 的读写指针由 Block 指针管理模块(Pointer Manager)管理,该模块接收 CPU 的 RMC(Read Message Complete)读指针增 1,接收到来自接收模块的 WMC(Write Message Complete)信号后,写指针增 1. FIFO 的读写指针由 FIFO 的指针管理模块进行管理,每个 Block 管理一个 FIFO 的指针,当 CPU 进行读之后,正在进行读操作的 Block 的 FIFO 写指针自增 1,当接收模块进行一个写操作后,正在进行写操作的 Block 的 FIFO 读指针自增 1,从而实现读写相对独立,实现 FIFO 功能. Block 指针(作为高位)和 FIFO 指针(作为低位),通过与门合成 BRAM 的地址线指针,接收模块的 WE/WClk 及 INPUT DATA 连接所有的 BRAM 写入端口作为写入信号及数据.

对于独占 BRAM 的接收方式,单通道(单核)的目标设备进行多 BRAM 的芯片烧制比较合适,能够将每个 Block 分布到一个 BRAM 中,从而提高读写速率.对于多通道(多核)的目标设备,使用共享 BRAM 的方式进行芯片烧制.能够减少 BRAM 的占用,从而容纳多核.在编译的过程中根据 FPGA 所携带的 BRAM 个数,

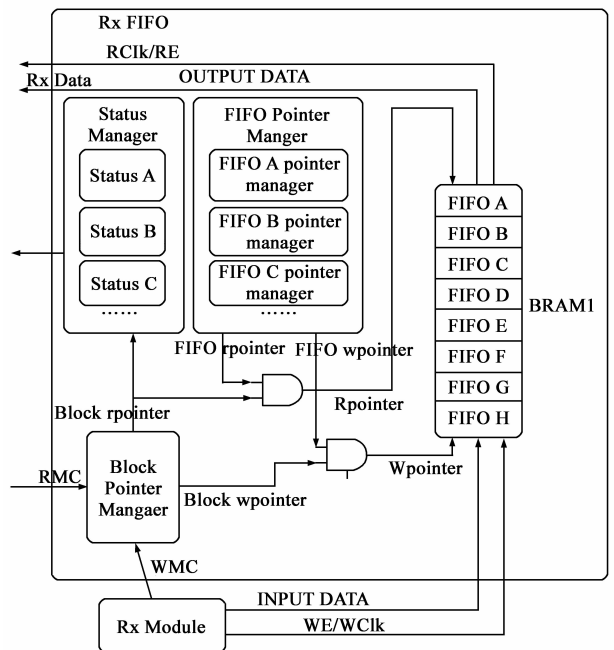


图4 基于共享BRAM的接收FIFO结构

可以选择单核或者多核.为提高网关设备的自适应能力,在一片 FPGA 上演化生成电路,在运行时动态部分重构的 FPGA,基于细粒度可重构器件的演化硬件,发生功能变化或故障时,重新形成新的电路,工作在新的特征点.实时在线评估适应度,实现传感器节点的硬件自修复自适应.

4.2 时隙分配模块

HDLC 多路数据以时分复用模式进行收发,在同一帧同步信号、收发时钟及数据总线上,多个 HDLC 芯片相互连接,分配不同的时隙进行收发.

帧同步信号以 24 个时钟为周期,如图 5 所示,时隙长度为 8 个时钟,从而分成 3 个时隙.每个时隙 8 个时钟周期.不同时隙可以作为总线上两个不同 HDLC 芯片约定的数据收发通道,从而完成同一总线上多芯片分时隙数据收发的通信需求.时隙分配模块通过 TS_DELAY_Tx/TS_DELAY_Rx 寄存器配置时隙的 Delay 的时钟个数,设置在帧同步(FSyn)信号到来后进行收发的时钟等待个数;通过 TS_LENGTH_Tx/TS_LENGTH_Rx 配置时隙宽度,即在时隙到来之后发送或接收多少个时钟.若芯片使用时隙 1 作为发送时隙,则 TS_DELAY_Tx 配置为 8,TS_LENGTH_Tx 配置为 8.时隙分配模块根据 DELAY 和 LENGTH 配置输出 TS_EN_Tx 及 TS_EN_Rx 信号,并将这两个信号分别输入发送和接收状态机,作为状态机的使能信号从而起到控制开始的作用.TS_EN_Rx 信号驱动发送状态机,波形如图 5 所示.由于发送状态机以 TxClk 信号的上升沿作为触发驱动,因此时隙分配模块产生的使能信号以 TxClk 的下降沿进行驱动,先于 TxClk 上升沿半个时钟,从而有效避免产生毛刺.时隙 1 是芯片的发送时隙,在 TxClk 信号的下降沿 TS_Tx_En 信号驱动发送状态机,那么发送状态机中的有效时钟是从 9 到 16,于是在该时钟下发送状态机处于工作状态,使数据在该时隙内发送.

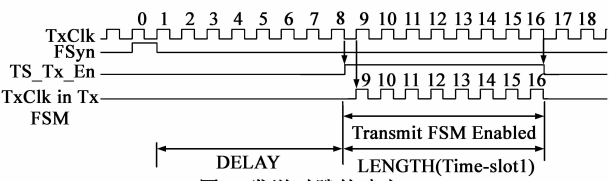


图5 发送时隙的建立

5 实验结果

我们采用 Modelsim 6.5A 对 FPGA 设计进行仿真验证,编写 testbench 结构如图 6 所示,Test Bench 模拟 CPU 的 EMC 模块用的 SLB 接口分别对 FPGA HDLC 芯片 1 和 FPGA HDLC 芯片 2 进行操作.两个 HDLC 芯片之间进行互联.模拟 CPU 对 FPGA HDLC 进行操作,仿真读写控制、收发、时隙、中断等功能,并对收发进行对比,仿真

保证芯片相关功能.通过 ISE WebPack 生成多核(多通道)的可编程文件,对生成结果占用资源情况进行对比分析,并进行实际板上测试.

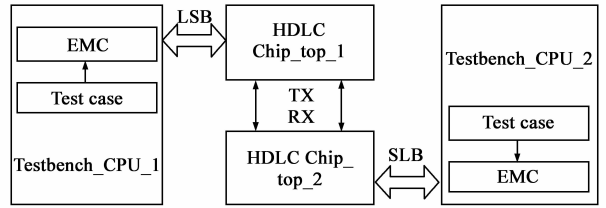


图6 仿真测试台架构

5.1 接收 FIFO 控制仿真

图 7 是接收 FIFO 模块的仿真波形,接收模块收到数据之后向接收 FIFO 中的 Block0 和 Block1 写入数据.图 7 所截取的波形是 Block0 写完 256Byte 数据后,向 Block1 写入数据的一个转接过程.从仿真波形上看,pNextWordToWrite0 和 pNextWordToWrite1 分别指示 Block0 和 Block1 两个 FIFO 的写入指针.当 pNextWordToWrite0 变为 8'FF 之后,pNextWordToWrite1 开始从 0 开始计数,随即 pNextWordToWrite0 清零,也就是说 Block0 的写指针达到 255 即 Block0 已经写满,之后的数据开始写入 Block1,所以 pNextWordToWrite1 开始计数.每个 Block 写满后写指针自动清 0.同时 depth0 和 depth1 也都分别指示了两个 block 的 FIFO 深度.pNextWordToWrite 是指示当前写数据在 RAM 的地址,用高 3 位指示当前的 block,低八位表示 Block 中的地址,指示 256Byte,从而组成 11 位的 pNextWordToWrite 地址,指示 2048Byte 的 RAM 作为接收数据 buffer.从波形可以看出当 block0 向 block1 转换时,pNextWordToWrite 从 11'h000 变为 11'h101.

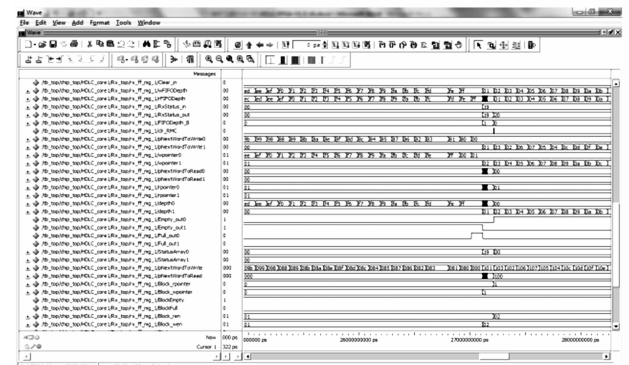


图7 接收 FIFO操作仿真波形

5.2 多核资源占用情况分析

仿真完成之后,我们使用工具 ISE 10.1 对该设计的 verilog 代码进行综合及实现.重点研究多核情况下该设计的资源占用情况及使用不同 Rx 接收 FIFO 设计时在多核下的资源占用情况对比分析.在多核情况下,我

们通过不同地址分配给不同的核从而达到一片多核的目的.将 Tx FIFO 设为 2048 Byte 将 Rx FIFO 设为 8 Block * 256 Byte 的形式,分析在 Rx FIFO 为共享 BRAM 方式和独立 BRAM 方式下的单核、双核、三核、四核及八核所综合的资源占用情况.

共享 BRAM 方式在 LUT 及 FF 资源占用情况上略高于独立 BRAM 方式,独立 BRAM 方式 LUT 的平均占用情况是共享 BRAM 方式的 98.2%,Slice 的平均占用情况是共享 BRAM 方式的 98.4%,FF 触发器数量则大致相同.主要差别在于共享 BRAM 下,对指针的管理和条件开关需要占用一定的资源.BRAM 数量上共享 BRAM 方式有着绝对的优势,由于接收 FIFO 中的 8 个 Block 可以共享一个 BRAM,因此独立 BRAM 所占用的资源是共享 BRAM 的 4.5 倍.在共享 BRAM 情况下,对多核资源占用情况如图 8 所示.

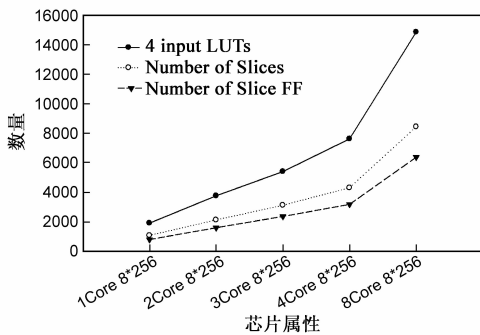


图8 多核资源占用情况

综上,共享 BRAM 方式比较适合于多核情况下,在对读取速度没有太高要求情况下,采用共享 BRAM 的方式在资源占用上有着较大的优势.独立 BRAM 可以提高接收 FIFO 的读取速度.在选定目标芯片的情况下,可根据芯片资源情况进行灵活选择.

5.3 板上测试

我们使用 Xilinx ISE 10.1 综合和实现双核接收 FIFO 为 256 Byte * 8,生成可编程文件.我们采用 XC3S250E-5tq144 作为 FPGA 的目标芯片,进行烧制,并在硬件测试目标板上验证通过,实物如图 9 所示.

测试环境由两块板子组成,逻辑框图如图 10 所示.底层的板子包括了输入输出接口,电源,重启开关, UART 接口, JTAG 排插, FPGA 芯片以及 PT6525 芯片等.其中 FPGA 芯片采用 Xilinx Spartan-3E XC3S250E 5TQ144, HDLC 芯片采用 PT6525.顶板是用 NXP LCP 2214 设计的主处理器板.两块板子通过插排连接,可通过 UART 或者 JTAG 接口下载测试程序,通过串口输出打印测试结果.

测试驱动主要包括启动程序,任务调度, HDLC 协议控制芯片的初始化,发送和接收驱动, PT6525 的驱动

程序,以及大量的测试用例.测试用例主要包括寄存器读写验证, FPGA 自环, FPGA 在 BUS 及 TDM 模式下与 PT6525 之间的收发对比,压力测试,配置功能测试等.

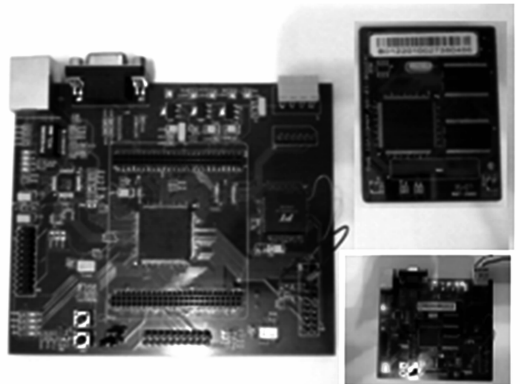


图9 测试板实物图

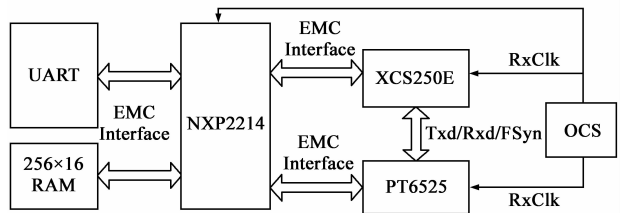


图10 测试板逻辑框图

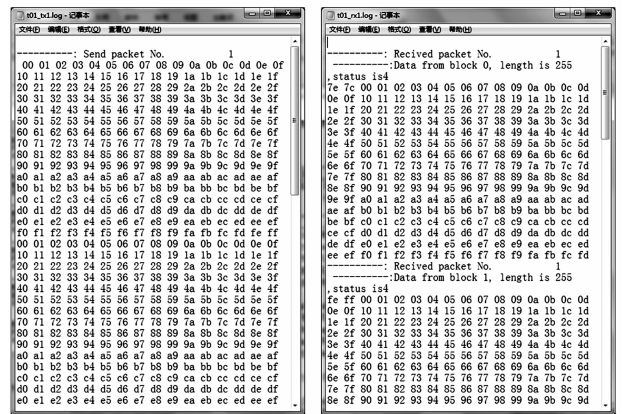


图11 时隙分配模式下收发对比

下面以 TDM 模式下收发板上测试为例说明实际测试的正确性.在时隙分配模式下,我们将测试程序下载到测试板中,通过 FPGA 设计的 HDLC 协议控制芯片向 PT6525 芯片发送数据,并对 CPU 通过 HDLC 芯片的发送数据和 CPU 从 PT6525 芯片接收到的数据,并验证 TDM 模式收发功能.测试结果如图 11 所示,接收和发送的数据一致,接收数据中比发送的数据在头部多了两字节的地址段,在尾部多了两字节的 CRC.

6 总结

基于无线多媒体传感器网络,我们设计了支持异构多接入方式的智能家居系统,系统包括嵌入式网关 (Sink 节点),路由节点,多媒体传感器节点,控制节点以

及信息推送节点.为使网内多媒体数据方便快捷地提供给用户,设计了支持连接外部多种异构网络的网关.在网关接入 PSTN 网络的设计中,我们采用 HDLC(高级数据链路控制)协议以确保数据信息的可靠互通,并基于 FPGA 技术设计和实现了 HDLC 控制协议从而兼顾速度和灵活性.本文首先描述了基于 FPGA 的 HDLC 芯片结构设计,包括各个逻辑功能模块,详细介绍了接收缓存和时隙分配模块的设计方法.并在实际测试板上运行测试通过.

针对异构多接入方式的网关设备,将来的工作集中在以下几个方面:(1)基于 FPGA 的 ZigBee 协议的设计与实现;(2)基于 FPGA 的 WiFi 协议的设计与实现;(3)基于 FPGA 的 Bluetooth 协议的设计与实现;(4)最终,我们在一片 FPGA 上实现可动态重构的多协议片上系统.

参考文献

- [1] I F Akyildiz, T Melodia, K Chowdhury. A survey on wireless multimedia sensor networks [J]. Computer Networks Journal, (Elsevier), 2007, 14(6): 32 – 39.
- [2] 孙岩,马华东.多媒体传感器网络 QoS 保障问题[J].电子学报,2008,36(7):1412 – 1420.
Sun Yan, Ma Hua-dong. The QoS guarantee problem for wireless multimedia sensor networks [J]. Acta Electronica Sinica, 2008, 36(7): 1412 – 1420. (in Chinese)
- [3] Khusvinder Gill, Shuang-Hua Yang, Fang Yao, and Xin Lu. A zigbee-based home automation system[J]. IEEE Transactions on Consumer Electronics, 2009, 55(2): 422 – 430.
- [4] Dun-fan Ye, Liang-liang Min, Wei Wang. Design and Implementation of Wireless Sensor Network Gateway Based on Environmental monitoring[A]. Proceeding of International Conference on Environmental Science and Information Application Technologys, ESIAT 2009, vol. 2 [C]. Wuhan, China, 4-5 July 2009. 282 – 292.
- [5] Steenkamp L, Kaplan S, Wilkinson R H. Wireless Sensor Network Gateway[A]. 9th IEEE. Africon Conference [C]. Nairobi, Kenya, 23 – 25 September, 2009. 1 – 6.
- [6] Kwang-il Hwang, Jeongsik In, NhoKyung Park, Doo-seop Eom, A. Design and Implementation of Wireless Sensor Gateway for Efficient Querying and Managing through World Wide Web[J]. IEEE Transactions on Consumer Electronics. 2003, 49(4): 1090 – 1097.
- [7] Hong-jiang He, Zhu-qiang Yue, Xiao-jie Wang, Design and Realization of Wireless Sensor Network Gateway Based on ZigBee and GPRS[A]. Proceedings of the Second International Conference on Information and Computing Science, vol. 2 [C]. Manchester, UK, 21 – 22, May 2009. 196 – 199.
- [8] Guangming Song, Yaoxin Zhou, Weijuan Zhang and Aiguo Song, A Multi-interface Gateway Architecture for Home Automation Networks[J]. IEEE Transactions on Consumer Electronics, 2008, 54(3): 1110 – 1113.
- [9] Lv Richao, Shen Lianfeng, Hu Jing, Design and Implementation of a Wireless Sensor Network Gateway supporting Multi-mode Wide Area Access and Video Monitoring[A]. Proceedings of the 1st International Conference on Information Science and Engineering (ICISE2009)[C]. 2009. 2606 – 2609.
- [10] Jun Wang, Wenhao Zhang, Yuxi Zhang, Wei Wu, Design and Implementation of HDLC Procedures Based on FPGA[A]. Proceedings of the 3rd International Conference on Anti-counterfeiting, Security, and Identification in Communication, ASID 2009[C]. 2009. 336 – 339.
- [11] Gao Zhen-Bin, Liu Jian-Fei, FPGA implementation of a multi-channel HDLC protocol transceiver[A]. Proceedings of 2005 International Conference on Communications, Circuits and Systems[C]. 2005.
- [12] Innocenti, G, Arrigo, J. F, A Compact Power Controller for Microsat Applications[A]. IEEE Aerospace Conference [C]. 2008. 1 – 10.
- [13] Jun Wang, Wenhao Zhang, Yuxi Zhang, Wei Wu, Design and Implementation of HDLC Procedures Based on FPGA[A]. Proceedings of the 3rd International Conference on Anti-counterfeiting, Security, and Identification in Communication, ASID2009[C]. 2009. 336 – 339.
- [14] Yunlin Lu, Zhigong Wang, Lufeng Qiuo, Bin Huang, Design and implementation of Multi-channel High Speed HDLC Data Processor[A]. IEEE 2002 International Conference on Communications, Circuits and Systems and West Sino Expositions, vol. 2 [C]. 2002. 1471 – 1475.

作者简介



孙 岩 女,博士,北京邮电大学计算机学院副教授.研究方向为无线传感器网络、嵌入式通信设备、片上系统等.

E-mail: sunyan@bupt.edu.cn